

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

**TRANSMITTAL
FORM**

(to be used for all correspondence after initial filing)

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.			
TRANSMITTAL FORM			
<i>(to be used for all correspondence after initial filing)</i>			
Total Number of Pages in This Submission	3	Application Number	10/709,636
		Filing Date	05/19/2004
		First Named Inventor	Chi-Kun Chiu
		Art Unit	
		Examiner Name	
		Attorney Docket Number	MTKP0063USA

ENCLOSURES *(Check all that apply)*

<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please Identify below):
Remarks		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	5/22/2024

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

MAY 28 2004

PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

 Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ 0.00)

Complete if Known

Application Number	10/709,636
Filing Date	05/19/2004
First Named Inventor	Chi-Kun Chiu
Examiner Name	
Art Unit	
Attorney Docket No.	MTKP0063USA

METHOD OF PAYMENT (check all that apply)

 Check Credit card Money Order Other None Deposit Account:

Deposit Account Number	50-3105
Deposit Account Name	North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

- Charge fee(s) indicated below Credit any overpayments
 Charge any additional fee(s) or any underpayment of fee(s)
 Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee	
1002 340	2002 170	Design filing fee	
1003 530	2003 265	Plant filing fee	
1004 770	2004 385	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)		(\$ 0.00)	

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Independent Claims	Multiple Dependent	Extra Claims	Fee from below	Fee Paid
			-20** =	X	=
			- 3** =	X	=

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 86	2201 43	Independent claims in excess of 3
1203 290	2203 145	Multiple dependent claim, if not paid
1204 86	2204 43	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent
SUBTOTAL (2)		(\$ 0.00)

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity

Small Entity

Fee Code (\$)	Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for ex parte reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 420	2252 210	Extension for reply within second month	
1253 950	2253 475	Extension for reply within third month	
1254 1,480	2254 740	Extension for reply within fourth month	
1255 2,010	2255 1,005	Extension for reply within fifth month	
1401 330	2401 165	Notice of Appeal	
1402 330	2402 165	Filing a brief in support of an appeal	
1403 290	2403 145	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,330	2501 665	Utility issue fee (or reissue)	
1502 480	2502 240	Design issue fee	
1503 640	2503 320	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))	
1801 770	2801 385	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	
Other fee (specify)			
*Reduced by Basic Filing Fee Paid		SUBTOTAL (3)	(\$ 0.00)

(Complete if applicable)

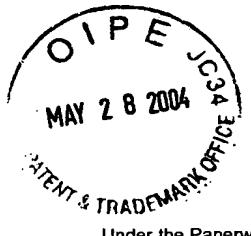
SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature	<i>Winston Hsu</i>			Date	5/27/2004

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)

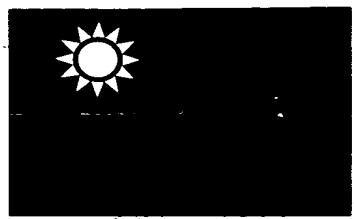
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
44 CFR 1.11(e); Information about OMB Control Number 0651-0032

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 20 日
Application Date

申請案號：092113647
Application No.

申請人：聯發科技股份有限公司
Applicant(s)

局長
Director General

蔡綠生

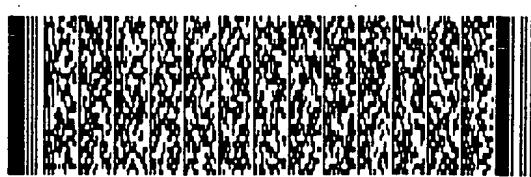
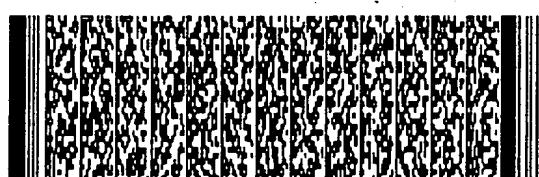


發文日期：西元 2003 年 8 月 4 日
Issue Date

發文字號：
Serial No.

09220785730

申請日期：	IPC分類
申請案號：	
(以上各欄由本局填註)	
發明專利說明書	
一、發明名稱	中文 低雜訊快速穩定之穩壓電路
	英文 Low Noise Fast Stable Voltage Regulator Circuit
二、 月人 (共2人)	姓名 (中文) 1. 邱繼崑 2. 蕭啟明
	姓名 (英文) 1. Chiu, Chi-Kun 2. Hsiao, Chi-Ming
三、 青人 (共1人)	國籍 (中英文) 1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文) 1. 桃園縣平鎮市延平路三段一0四巷一弄三十八號 2. 台中市南區工學北路一四一號十樓之三
	住居所 (英 文) 1. No. 38, Alley 1, Lane 104, Sec. 3, Yen-Ping Rd., Ping-Cheng City, Tao-Yuan Hsien, Taiwan, R.O.C. 2. 10F-3, No. 141, Kung-Hsueh N. Rd., Tai-Chung City, Taiwan, R.O.C.
	名稱或 姓名 (中文) 1. 聯發科技股份有限公司
	名稱或 姓名 (英文) 1. MediaTek Inc.
	國籍 (中英文) 1. 中華民國 TW
	住居所 (營業所) (中 文) 1. 新竹市新竹科學工業園區創新一路13號1F (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文) 1. 1F, No. 13, Innovation Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文) 1. 蔡明介
	代表人 (英文) 1. Tsai, Ming-Kai



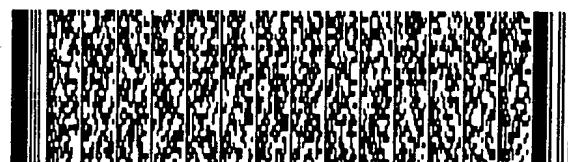
四、中文發明摘要 (發明名稱：低雜訊快速穩定之穩壓電路)

電來考，該壓關二低穩，該換狀合考一該路的器於切二偶參由及電訊生接態第接該藉態壓低壓電兩與波態器一該產出電，該態濾狀較第生輸考路於狀經二比該產速參電接一未第壓於來快一換連第壓該電路用可有切電一電於該電壓，含態，有考處到換電路包狀路具參；送切考壓電一壓電時較器狀的電路兩電路該器再態參訊穩壓一切狀壓濾該波穩壓；穩換態比波兩後電路；穩壓濾該波。低雜訊電；態一電通換濾壓種低雜考器狀第之低切過電一該一產該於電一信；輸壓。出壓。處壓過制態訊。

- 五、（一）、本案代表圖為：第二圖
（二）、本案代表圖之元件代表符號簡單說明

六、英文發明摘要 (發明名稱：Low Noise Fast Stable Voltage Regulator Circuit)

A low noise voltage regulator circuit with fast stable output voltage. The voltage regulator circuit contains a reference voltage generator, for generating a reference voltage; a two-states switching circuit which is electrically connected to the output of reference voltage generator and has two states; and a voltage regulator. When the switching circuit is at a first state, the

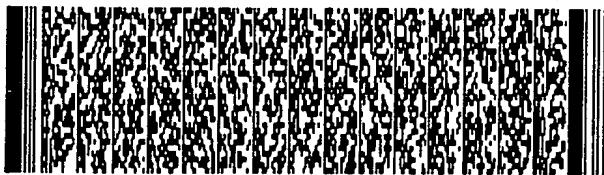


四、中文發明摘要 (發明名稱：低雜訊快速穩定之穩壓電路)

200	低雜訊穩壓電路	210	參考電壓產生器
220	兩狀態切換電路	230	穩壓電路
250	第一節點	260	第二節點
270	第三節點	280	開關控制信號

六、英文發明摘要 (發明名稱：Low Noise Fast Stable Voltage Regulator Circuit)

reference voltage is coupled to a voltage comparator of the voltage regulator without filtering; when the switching circuit is at a second state, the reference voltage is filtered by a low pass filter before it is coupled to the voltage comparator. A switch-controlling signal is used to switch the two-state switching circuit between the two states. The filtered reference



四、中文發明摘要 (發明名稱：低雜訊快速穩定之穩壓電路)

六、英文發明摘要 (發明名稱：Low Noise Fast Stable Voltage Regulator Circuit)

voltage is used to generate a low noise regulated output voltage.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明提供一種低雜訊穩壓電路，尤指一種利用一種具有兩種狀態之切換電路，以加速電壓穩定並抑制雜訊之低雜訊穩壓電路。

先前技術

目前市面上之各種電子產品中，常常會參考前方能產生低雜訊穩壓電路。這些穩壓器為壓較穩壓電路工作，為了抑制器的功用外，同時延遲時間的加入將電壓調整至穩壓電路。這些穩壓器會在執行時會抑制雜訊，使得穩壓電路輸出之電壓較為穩定。

RC低通濾波器除了具有抑制雜訊的功能外，同時延遲時間的加入將電壓調整至穩壓電路花費更久的時間才能將電壓穩定。但對導致該穩壓電路也會會穩定。

請參閱圖一，圖一為習知之低雜訊穩壓電路之示意圖。在圖一中顯示了一個典型的低雜訊穩壓電路 100，其包含有一參考電壓產生器 110，電連接於第一節點 150，其可產生一參考電壓 V_r ，並將參考電壓 V_r 自第一節點 150 輸出；一 RC低通濾波器 120，電連接於第一節點 150

五、發明說明 (2)

與一第二節點 160，於第一節點 150接收參考電壓 V_r ，抑制其雜訊，於第二節點 160輸出處理過的一低雜訊電壓 V_{1n} ；一穩壓電路 130，電連接於第二節點 160與一第三節點 170，於第二節點 160接收低雜訊電壓 V_{1n} ，並將一低雜訊穩定輸出電壓 V_{reg} 自第三節點 170輸出。

若參考電壓產生器 110於一時間點 t_0 開始輸出參考電壓 V_r ，由於 RC低通濾波器 120所導致的時間延遲效應，低雜訊電壓 V_{1n} 必須經過一段時間 Δt 才能充電到參考電壓 V 在時間點 t_0 的值，其中 $\Delta t > 0$ 。因此即使參考電壓 V 於時間點 t_0 已經穩定，但是仍必須等到時間點 $t_0 + \Delta t$ 時才會產生低雜訊電壓 V_{1n} ，穩壓電路 130才會輸出穩定的低雜訊穩定輸出電壓 V_{reg} ，這個 Δt 的時間延遲即造成整體電路速度的下降。

穩壓電路的輸出電壓延遲使得其他使用該輸出電壓的耗電路無法做及時的開關切換而造成電池的壽命減短。因此該 RC低通濾波器對信號造成的時間延遲效應係習知技術的主要缺點。

發明內容

因此本發明之主要目的在於提供一種具有兩種切換狀態之低雜訊穩壓電路，用來解決上述習知技術中時間

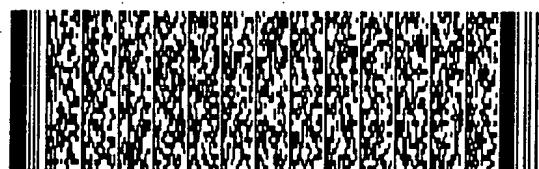


五、發明說明 (3)

延遲的問題。

穩穩節自一節第，一該信態第；，用訊訊一號第一一出於，壓狀該號點作信雜雜第信該第為輸換時電二將信節授壓低低一壓於該成點切態一第，壓三回電一種該於電接自號節號狀第該器電第負三一，接一連來信二信一該於波二一經第一露壓連第電用壓第制第，處濾第及，一揭電電該，電該控該器當通為點號出係定，將路號一自關於耦、低成節信輸穩器並電信第號開處隨號RC，二壓點壓狀態電穩兩考穩訊該參雜，將低態，將範訊產號切控理壓由，電壓於理該二三利雜壓信態關處電藉間一電效處於第第專低電壓狀開，二可之於二等訊接該該請出考電兩一號第路態效第路雜連收自申輸參一一及信該電狀等該電制電接後之速一第；點壓將換二係到換抑，點號發明快：一出節電並切第路合切行路節信據，包來節一該信兩態穩濾兩信穩該二本可含產點第第號狀及壓波狀號壓第電根路路用一、收壓該狀態經該壓一於第電電，第點接電中一狀未，電及來該。壓點該節點二其第兩號時一以用於號。

兩路波的電濾中換經路切未電態壓電穩兩考穩訊該參雜，將低態，將範訊產號切控理壓由，電壓於理該二三利雜壓信態關處電藉間一電效處於第第專低電壓狀開，二可之於二等訊接該該請出考電兩一號第路態效第路雜連收自申輸參一一及信該電狀等該電制電接後之速一第；點壓將換二係到換抑，點號發明快：一出節電並切第路合切行路節信據，包來節一該信兩態穩濾兩信穩該二本可含產點第第號狀及壓波狀號壓第電根路路用一、收壓該狀態經該壓一於第電電，第點接電中一狀未，電及來該。壓點該節點二其第兩號時一以用於號。



五、發明說明 (4)

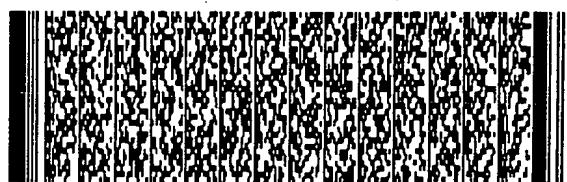
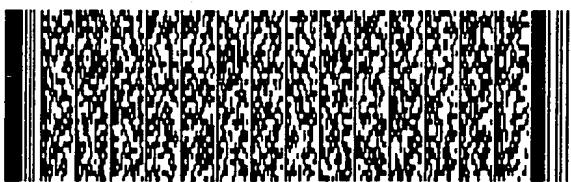
偶合到下一級的電壓比較器；於第二狀態時等效於一低通濾波器，進行抑制雜訊的功能。藉由此兩種狀態的切換，本發明可達成加快輸出電壓的穩定速度，同時達成抑制雜訊的需求。

實施方式

請參閱圖二，圖二為本發明之低雜訊穩壓電路之示意圖。在圖二中顯示了本發明之一低雜訊穩壓電路 200，其包含有一參考電壓產生器 210，電連接於第一節點 210，用來產生一第一電壓信號，並將該第一電壓信號自第一節點輸出 250；一兩狀態切換電路 220，電連接於第一節點 250、一第二節點 260 及一開關控制信號 280，用來自第一節點 250 接收該第一電壓信號，處理該第一電壓信號成為一第二電壓信號，並將該第二電壓信號自第二節點 260 輸出，其中兩狀態切換電路 220 可藉由開關控制信號 280 切換於一第一狀態及一第二狀態之間，當處於該第一狀態時，兩狀態切換電路 220 等效於一電壓隨耦器，將第一電壓信號未經濾波偶合到第二電壓信號、當處於該第二狀態時，兩狀態切換電路 220 等效於一 RC 低通濾波器，將該第一電壓信號進行抑制雜訊處理後，成為第二電壓信號；以及一穩壓電路 230，電連接於第二節點 260 及一第三節點 270，用來接收該第二電壓信號，調整該第二電壓信號，並自第三節點 270 輸出一第三電壓信號。

接下來將詳細描述本發明之低雜訊穩壓電路 200的動作原理。當參考電壓產生器 210剛開始輸出電壓信號的初期，兩狀態切換電路 220處於該第一狀態，此時第一電壓信號因未經 RC濾波器的時間延遲偶合到第二電壓信號，所以穩壓電路 230的參考電壓輸入未經時間延遲，因而能快速輸出穩定的電壓，即第三電壓信號，因此整個電路可以很快調整至穩定；當整個電路已經調整至穩定後，兩狀態切換電路 220再切換至該第二狀態，由於 RC低通濾波器所造成的时间延遲已不會對穩壓電路 230的參考電壓造成影響，穩壓電路 230輸出電壓可維持穩定輸出，同時可對參考電壓進行抑制雜訊的動作而達到低雜訊電壓輸出的目的。

請參閱圖三，圖三為圖二中之兩狀態切換電路之一電連接方式示意圖。在圖三中顯示了圖二之兩狀態切換電路 220的一種實施方式，其包含有一電阻 R，第一端電連接至第一節點 250，第二端電連接於第二節點 260；一電容 C，第一端電連接於第四節點 390，第二端接地；以及一開關電路 321，電連接於第一節點 250、第二節點 260、第四節點 390及開關控制信號 280，可藉由開關控制信號 280切換兩狀態切換電路 220於該第一狀態及該第二狀態之間，當兩狀態切換電路 220處於該第一狀態時，保持第一節點 250與第四節點 390相互導通，此時第一節點

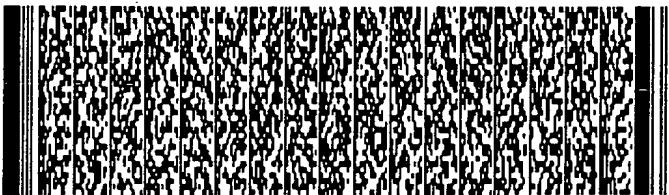


五、發明說明 (6)

250上之該第一電壓信號可未經濾波偶合至第二節點 260，因此兩狀態切換電路 220等效於一電壓隨耦器；當兩狀態切換電路 220處於該第二狀態時，保持第二節點 260與第四節點 390相互導通，此時兩狀態切換電路 220即等效為一RC低通濾波器。

參閱圖四，圖四為圖三中開關電路實施方式之示意圖。其中圖三之開關電路在圖四中以一第一開關 422及一第二開關 423來實現。第一開關 422電連接於第一節點 250與第四節點 390之間，利用開關控制信號 280控制其開啟關閉，當兩狀態切換電路 220處於該第一狀態時，開關控制信號 280保持第一開關 422處於關閉狀態，使第一節點 250與第四節點 390相互導通、當兩狀態切換電路 220處於該第二狀態時，開關控制信號 280保持第一開關 422處於開啟狀態。第二開關 423電連接於第二節點 260與第四節點 390之間，利用開關控制信號 280控制其開啟關閉，當兩狀態切換電路 220處於該第一狀態時，開關控制信號 280保持第二開關 423處於開啟狀態、當兩狀態切換電路 220處於該第二狀態時，開關控制信號 280保持第二開關 423處於關閉狀態，使第二節點 260與第四節點 390相互導通。因此圖四之電路可以滿足圖三的兩狀態切換電路 220處於兩種不同狀態時的要求。

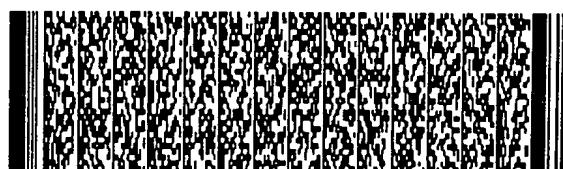
請參閱圖五，圖五為圖四電路之一實施方式示意



五、發明說明 (7)

圖。在圖五中我們以一 PMOS電晶體 522 實現圖四中之第一開關 422，其閘極電連接於開關控制信號 280，第一端電連接於第一節點 250，第二端電連結於第四節點 390；以一 NMOS電晶體 523 實現圖四中之第二開關 423，其閘極電連接於開關控制信號 280，第一端電連接於第二節點 260，第二端電連結於第四節點 390。為了滿足兩狀態切換電路 220 在兩種不同狀態下所需功能的要求，於兩狀態切換電路 220 處於第一狀態時，該 PMOS電晶體 522 之第一端與第二端間必須相互導通、且該 NMOS電晶體 523 之第一端與第二端間不能導通，因此輸入該 PMOS電晶體 522 閘極與該 NMOS電晶體 523 閘極之開關控制信號 280 需處於低電位；於兩狀態切換電路 220 處於該第二狀態時 PMOS電晶體 522 之第一端與第二端間不能導通、且 NMOS電晶體 523 之第一端與第二端間必須相互導通，因此開關控制信號 280 需處於高電位，如此的開關控制信號 280 除了可自晶片的數位控制計時器取得，或在晶片上實現一時間延遲的控制信號，亦可以圖六所示，以回授方式取得。

請參閱圖六，圖六為配合圖五電路之回授電路示意圖。在圖六中一反相器鍊結 681 之輸入端電連接於圖二中穩壓電路 230 之第三節點 270，輸出端電連結於開關控制信號 280，用來依據第三節點 270 之第三電壓信號，回授圖五所需之開關控制信號 280。在穩壓電路 230 的輸出電壓尚未調整至穩定前，該第三電壓信號係處於低電位，



五、發明說明 (8)

為了加快電壓的調整，兩狀態切換電路 220需處於該第一狀態；在該電路電壓調整至穩定後，該第三電壓信號係處於高電位，兩狀態切換電路 220需處於該第二狀態，以使整個電路同時可抑制雜訊並調整電壓。因此反相器鍊結 681需包含有偶數個反相器，以使開關控制信號 280可正確地切換兩狀態切換電路 220於不同狀態。

請參閱圖七，圖七為圖四電路之一實施方式示意圖。如圖七所示，我們將圖五中 PMOS 電晶體 522 以圖七中一 NMOS 電晶體 722 取代，其閘極電連接於開關控制信號 280，第一端電連接於第一節點 250，第二端電連接於第四節點 390；圖五中 NMOS 電晶體 523 以圖七中一 PMOS 電晶體 723 取代，其閘極電連接於開關控制信號 280，第一端電連接於第二節點 260，第二端電連接於第四節點 390。此時為了滿足兩狀態切換電路 220 在兩種不同狀態下所需功能的要求，於其處於該第一狀態時，開關控制信號 280 需處於高電位、於其處於該第二狀態時，開關控制信號 280 需處於低電位。此時該開關控制信號 280 除了可自晶片的數位控制計時器取得，或在晶片上實現一時間延遲的控制信號，亦可如圖八所示，用類似圖六所示之方式，以回授方式取得。

請參閱圖八，圖八為配合圖七電路之回授電路示意圖。在圖八中一反相器鍊結 881 之輸入端電連接於圖二中

五、發明說明 (9)

穩壓電路 230之第三節點 270，輸出端電連結於開關控制信號 280，用來依據第三節點 270之第三電壓信號，回授圖七所需之開關控制信號 280。可參考對於圖六之敘述，不同於圖六之處在於：圖八中反相器鍊結 881係包含有奇數個反相器，以使該開關控制信號 280可正確地切換兩狀態切換電路 220於不同狀態。

除了圖三之外，圖二中之兩狀態切換電路的亦可以其他的方式。請參閱圖九，圖九為圖二中兩狀態切換電路 220包含有一電阻 R，第一端電連接於第一節點 250，第二端電連接於第二節點 260；一電容 C，第一端電連接於第二節點 260，第二端接地；一開關 922，電連接於第一節點 250與第二節點 260之間，可藉由該開關控制信號 280切換開關 922之狀態，以切換兩狀態切換電路 220於該第一狀態及該第二狀態之間，當兩狀態切換電路 220處於該第一狀態時，開關控制信號 280保持開關 922處於關閉狀態，使第一節點 250與第二節點 260相互導通，此時第二節點 260上之該第二電壓信號係等於第一節點 250上之該第一電壓信號，因此兩狀態切換電路 220係等效於一電壓耦制器；當兩狀態切換電路 220處於該第二狀態時，開關控制信號 280保持開關 922處於開啟狀態，此時兩狀態切換電路 220即成為一 RC低通濾波器。由上述可知，圖九之兩狀態切換電路 220可滿足我們對於兩種狀態下不同功能

五、發明說明 (10)

的要求。

請參閱圖十，圖十為圖九電路之一實施方式示意圖。在圖十中我們使用一 NMOS電晶體 924來實現圖九中之開關 922，其閘極電連接於開關控制信號 280，第一端電連接於第一節點 250，第二端電連接於第二節點 260。為了滿足兩狀態切換電路 220在兩種不同狀態下所需功能的要求，於兩狀態切換電路 220處於第一狀態時，NMOS電晶體 924之第一端與第二端間必須相互導通，因此輸入 NMOS電晶體 924閘極之開關控制信號 280需處於高電位；於兩狀態切換電路 220處於該第二狀態時，NMOS電晶體 924之第一端與第二端間不能導通，因此開關控制信號 280需處於低電位，如此的開關控制信號 280除了可自晶片的數位控制計時器取得，或在晶片上實現一時間延遲的控制信號，亦可以圖十一所示，以回授方式取得。

請參閱圖十一，圖十一為配合圖十電路之回授電路示意圖。在圖十一中一反相器鍊結 925之輸入端電連接於圖二中穩壓電路 230之第三節點 270，輸出端電連接於開關控制信號 280，用來依據第三節點 270之第三電壓信號，回授圖十所需之開關控制信號 280。參考對於圖六及圖八中回授電路的敘述，我們可以知道於圖十一中反相器鍊結 925係包含有奇數個反相器，以使該開關控制信號 280可正確地切換兩狀態切換電路 220於不同狀態。

五、發明說明 (11)

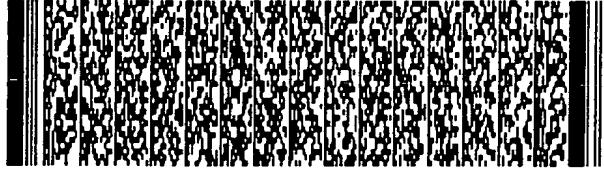
請參閱圖十二，圖十二為圖九電路之一實施方式示意圖。類似圖十的方式，圖十二所示是使用一PMOS電晶體926來實現圖九中之開關922。PMOS電晶體926之閘極電連接於開關控制信號280，第一端電連接於第一節點250，第二端電連接於第二節點260。為了滿足兩狀態切換電路220在兩種不同狀態下所需功能的要求，於兩狀態切換電路220處於該第一狀態時，PMOS電晶體926之第一端與第二端間必須相互導通，因此輸入PMOS電晶體926閘極之開關控制信號280需處於低電位；於兩狀態切換電路220處於該第二狀態時，PMOS電晶體926之第一端與第二端間不能導通，因此開關控制信號280需處於高電位，如此的開關控制信號280除了可自晶片的數位控制計時器取得，或在晶片上實現一時間延遲的控制信號，亦可以圖十三所示，以回授方式取得。

請參閱圖十三，圖十三為配合圖十二電路之回授電路示意圖。在圖十三中一反相器鍊結927之輸入端電連接於圖二穩壓電路230之第三節點270，輸出端電連接於開關控制信號280，用來依據第三節點270之第三電壓信號，回授圖十二所需之開關控制信號280。可參考對於圖六係圖八及圖十一之敘述，於圖十三中反相器鍊結927包含有偶數個反相器，以使該開關控制信號280可正確地切換兩狀態切換電路220於不同狀態。

五、發明說明 (12)

兩路抑第切穩的電行之的訊中換進器態雜電路切，耦狀低壓狀態波壓兩訊穩兩濾電此雜訊該通於由制RC等。並明的於成傳穩之狀一一遞定不等切號電發同效換的壓本種時以信速較換以的，發於電於功以明相切可訊態本路態了雜狀，電路狀除制一換壓

申利專明專發明本發明，凡屬應例，皆實飾，修較與變化之明變，為本均結束。章節僅做之述所圍園上範範以利蓋涵請之。



圖式簡單說明

圖式之簡單說明

圖一為習知之低雜訊訊壓穩電路示意圖。
圖二為本發明之低雜訊訊壓穩電路示意圖。
圖三為圖二中之兩狀態切換電路實施方式示意圖。

圖四為圖三中開關電路實施方式之示意圖。

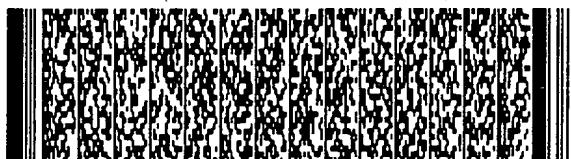
圖九為二路之切換狀態示意图，圖中之電路為一回路之切換，當開關合上時，則由電源供電，當開關斷開時，則由電池供電。

圖十為圖九電路之一實施方式示意圖。
圖十一為配合圖十電路之授回授路示意圖。

圖。意路電示授回之施實之路一電圖。合九圖配圖圖。

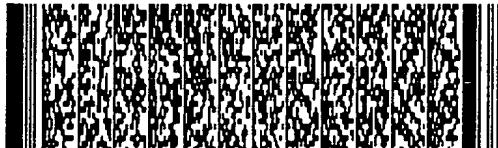
圖式之符號說明

100、200	低雜訊	穩壓器	電路
110、210	參考	電壓	產生器
120	RC低通	濾波	器
130、230	穩壓	電路	



圖式簡單說明

150、250	第一節點	
160、260	第二節點	
170、270	第三節點	
220	兩狀態切換電路	280 開關控制信號
321	開關電路	390 第四節點
422	第一開關	423 第二開關
522、723、926	PMOS電晶體	
523、722、924	NMOS電晶體	
681、881、925、927	反相器鍊結	
922	開關	



1. 一種低雜訊穩壓電路，可以快速輸出低雜訊的穩定電壓，該低雜訊穩壓電路包含有：

來節點，第一節點該電壓於接連第一信號，並將該電壓產生器，並參考電壓信號；

二一，態一電偶態號，用
第一號狀及換波狀信點作信
點接電中一狀未，一以第負三
節點二其第兩號時第；一經第
一節第一，一該信態該號及，一
第一出於，壓狀將信點號出
於該成點切態一第器電二壓點
接自號節號狀第該波二第電節
連來信二信一該於濾第該二三
電用壓第制第，處通為於第第
路號一自關於耦、RC，連收自
電信第號開處隨號一後電接後
換制該信該當壓信於理，點號
切控理壓由，電壓效處路節信
態關處電藉間一電等訊電二壓
狀開，二可之於二係雜壓第電
兩一號第路態效第路制穩該二
一及信該電狀等該電抑一於第
點壓將換二係到換行來該。
節電並切第路合切進
用於號。

2. 如申請專利範圍第1項所述之低雜訊穩壓電路，其中該兩狀態切換電路包含有：

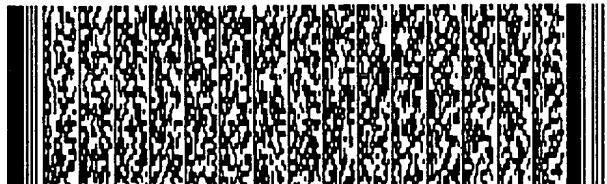
一電阻，第一端電連接於該第一節點，第二端電連接於該第二節點；

一電容，第一端電連接於一第四節點，第二端接地；以及

點信之該路互
節制態持電相
二控狀保換點
第關二，切節
該開第時態四
點由及狀兩該
節藉態一該與
一可狀第當點
第一，一該、節
該號第於通二
連接制於路互該
路該切態四時
電關電換點保
電及態狀第態
關點狀兩該狀
開節兩該與二
一四該當點第
該切間一於通

3. 如申請專利範圍第2項所述之低雜訊穩壓電路，其中

間當號四時及間當號處於之，信第態以之，信路處點閉制該狀；點閉制電關。節關控與二態節關控換開通四啟關點第狀四啟關切二導第開開節該啟第開開態第互該之該一於開該之該狀該相與關，第處於與關，兩持點點開時該路處點開時該保節節一態使電關節二態當號四第一第狀，換開二第狀、信第該一態切一第該一態制該該制第狀態第該制第狀控與於控該閉狀該於控該啟關點接號於關兩持接號於開開節有連信處於該保連信處於該二含電制路處當號電制路處，第包，控電關、信，控電關時該路關關換開通制關關換開態使電開開切一導控開開切二狀，該關一該態第互關二該態第二熊該一利兩持點該一利兩持該閑



六、申請專利範圍

4. 如申請專利範圍第3項所述之低雜訊穩壓電路，其中：

該開關連接於第二節點，其閘電極連接於第一節點，該PMOS電晶體的第一端連接於該第一節點；

6. 如申請專利範圍第3項所述之低雜訊穩壓電路，其中

該第一開關為一NMOS電晶體，其閘極電連接於該第二端電連接開關，該第一端電連接於該第一節點，第一端電連接於該第一開關制信號。



六、申請專利範圍

該第四節點；

該第二開關為一PMOS電晶體，其閘極電連接於該開關，控制該第二開關，第一端電連接於該第二節點，第二端電連接於制信號。

該第四節點；

該二開關時，於處路狀態，該第一切換，當兩狀態於該兩位，當該狀態於低電位。該二開關時，於處路狀態，該第一切換，當兩狀態於該兩位，當該狀態於低電位。

8. 如申請專利範圍第1項所述之低雜訊穩壓電路，其中該兩狀態切換電路包含有：



六、申請專利範圍

關於關閉狀態，使該第一節點與該第二節點相互導通、當該兩狀態切換電路處於該第二狀態時，該開關控制信號保持該開關處於開啟狀態。

9. 如申請專利範圍第8項所述之低雜訊穩壓電路，其中該開關為一NMOS電晶體，其閘極電連接於該開關控制該信號，第一端電連接於該第一節點，第二端連接於該第二節點，當該兩狀態切換時，該開關控制信號處於高電位，該狀態電路處於低電位。

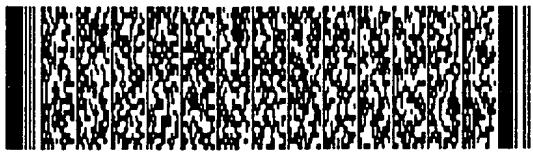
10. 如申請專利範圍第9項所述之低雜訊穩壓電路，其中另包含一個聯奇數個第三節點，該NMOS電晶體的閘極連接於該控制信號，當該兩狀態切換時，該開關控制信號處於高電位，該狀態電路處於低電位。

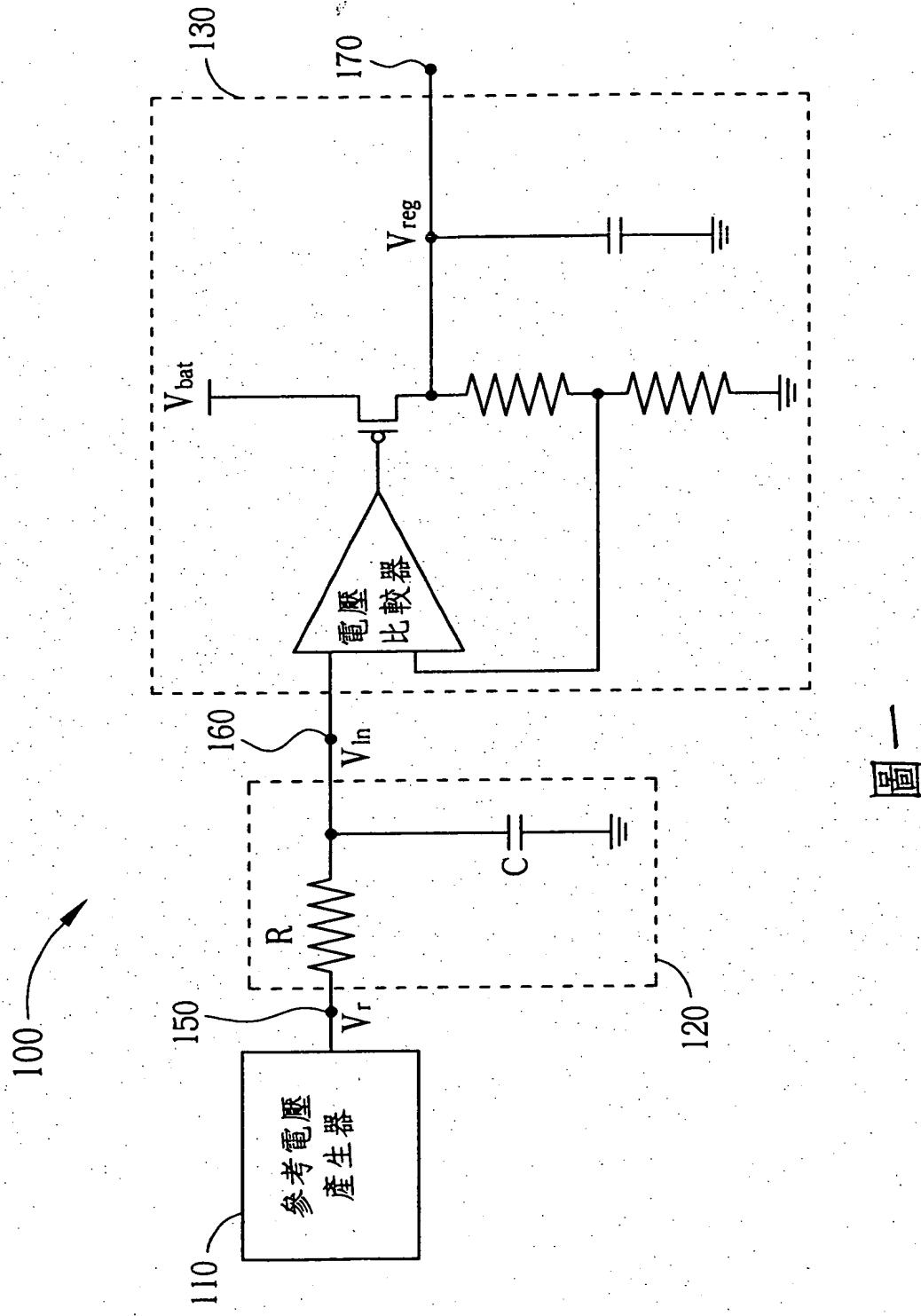
11. 如申請專利範圍第8項所述之低雜訊穩壓電路，其中該開關為一PMOS電晶體，其閘極電連接於該第二節點，當該兩狀態切換時，該開關控制信號處於高電位，該狀態電路處於低電位。



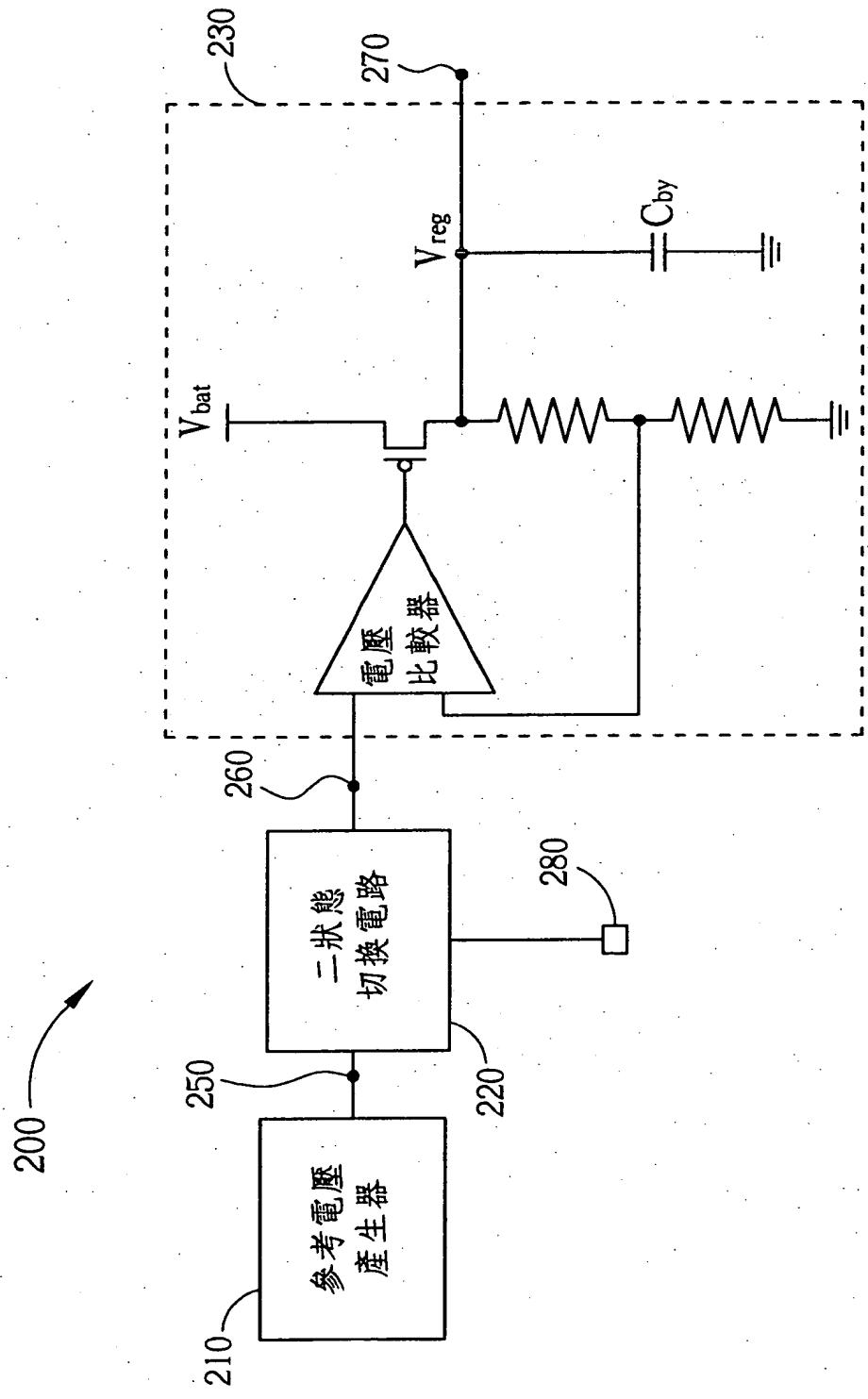
六、申請專利範圍

12. 如申請專利範圍第11項所述之低雜訊穩壓電路，其串數個偶該第三節連接於該PMOS電晶體處理並回授成為該開關控制信號。

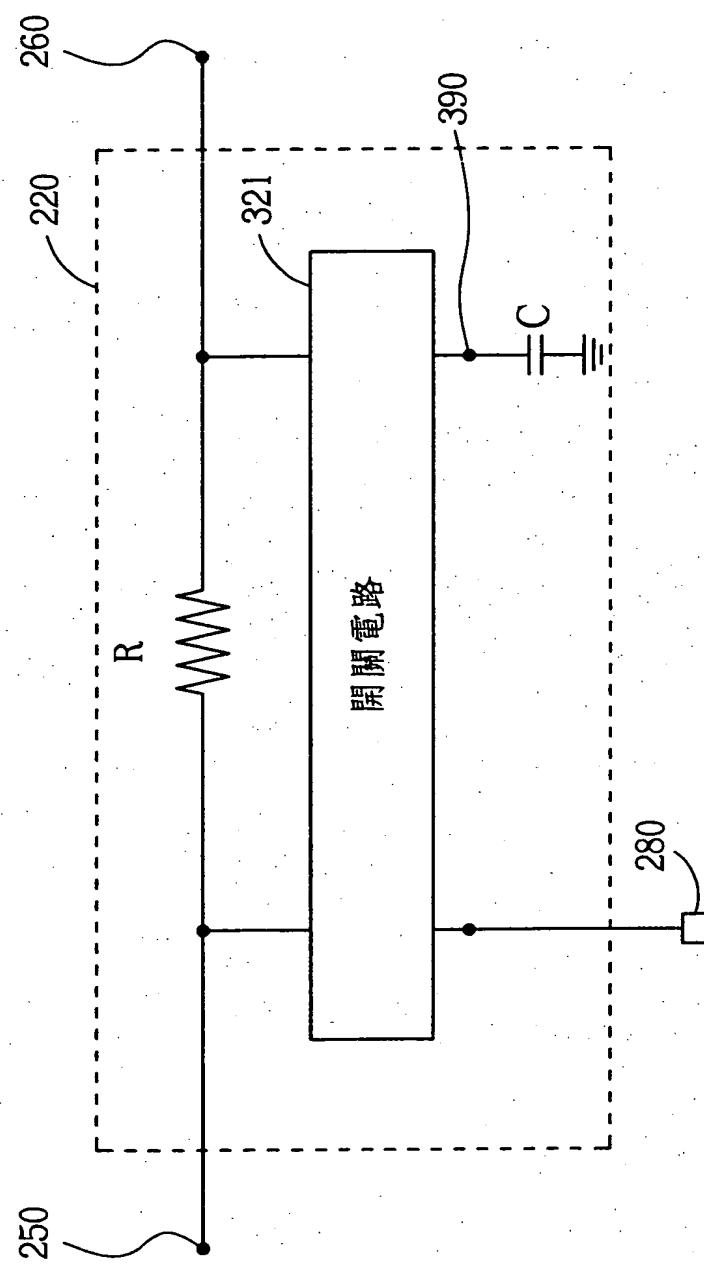




圖一

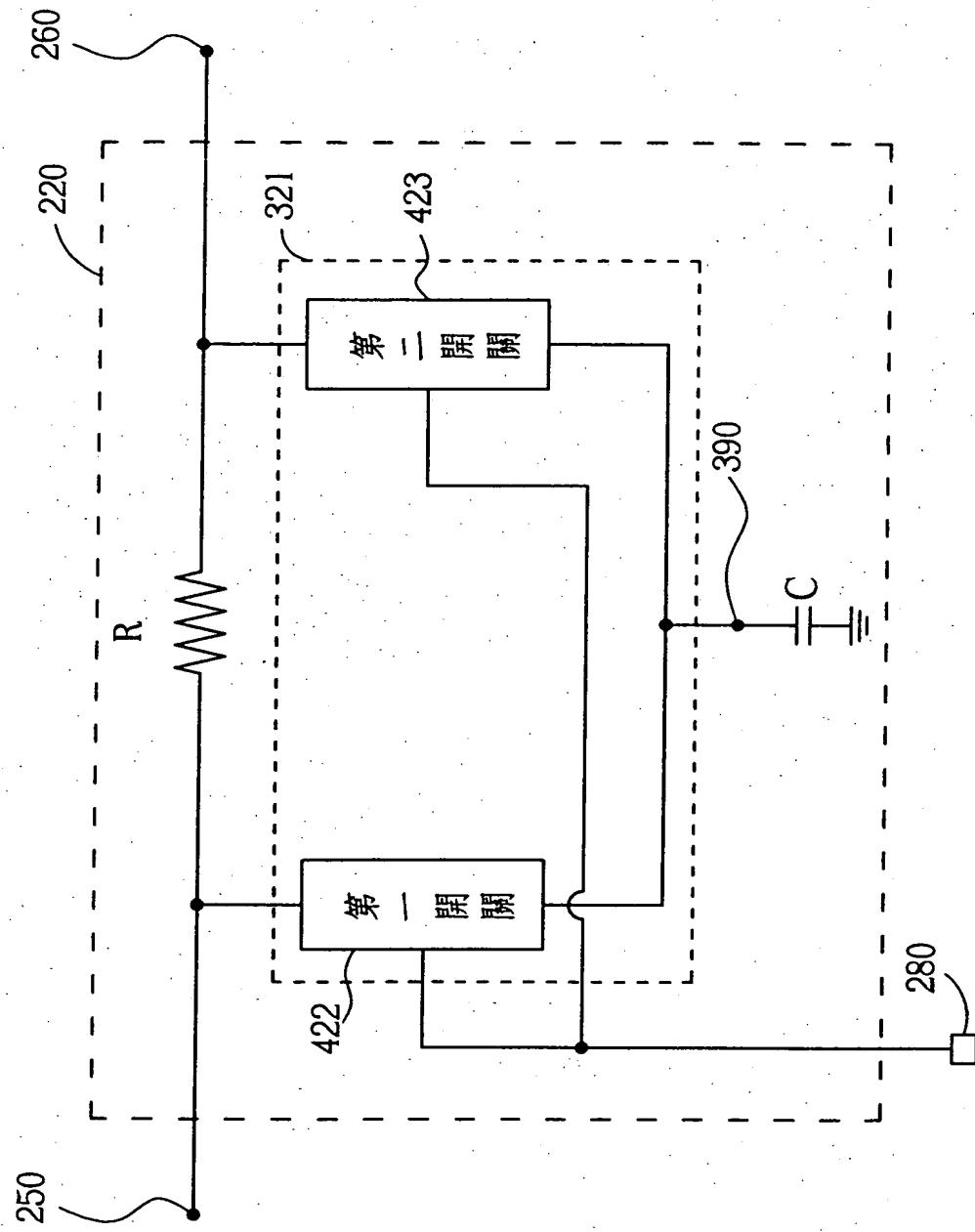


圖二

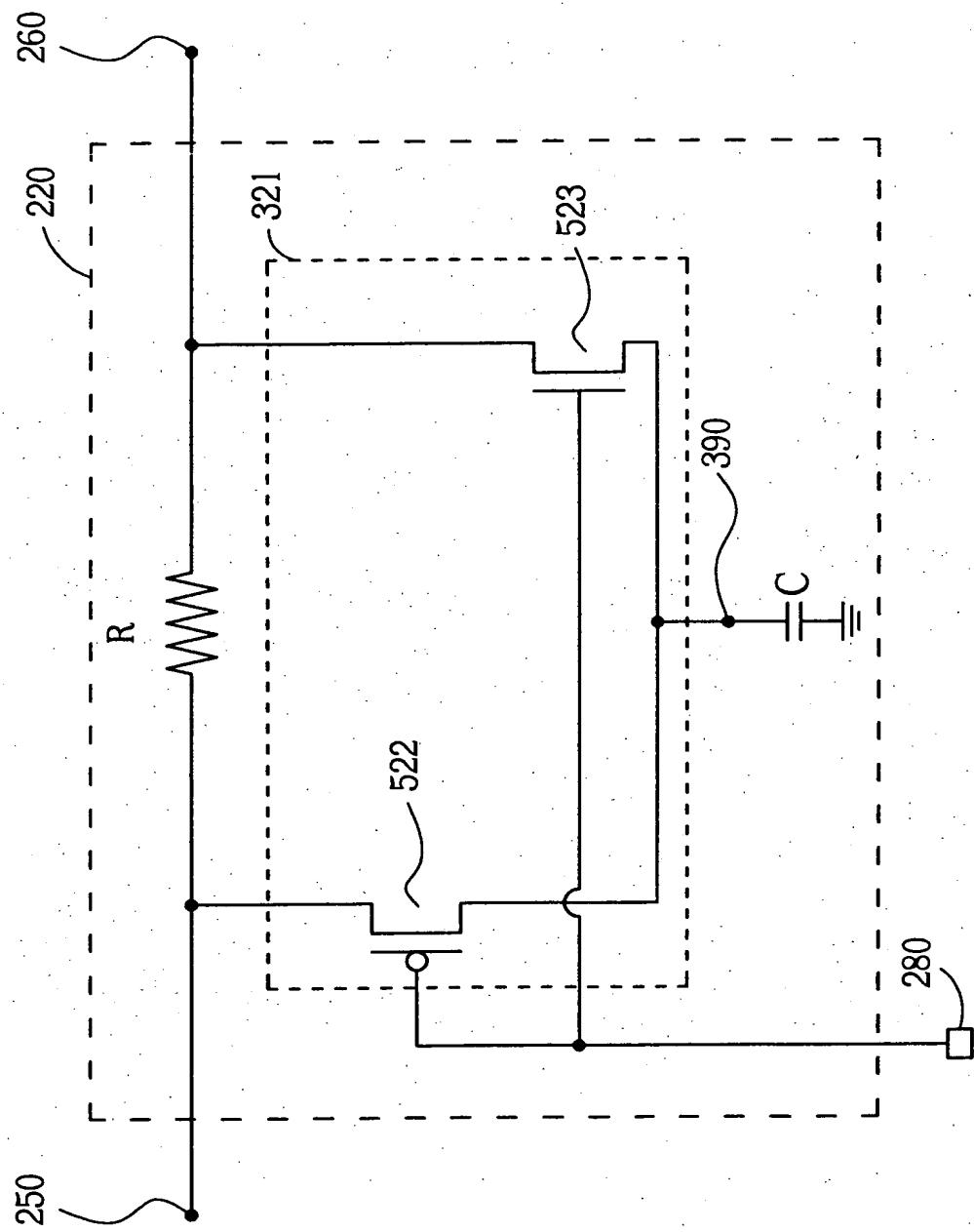


圖二

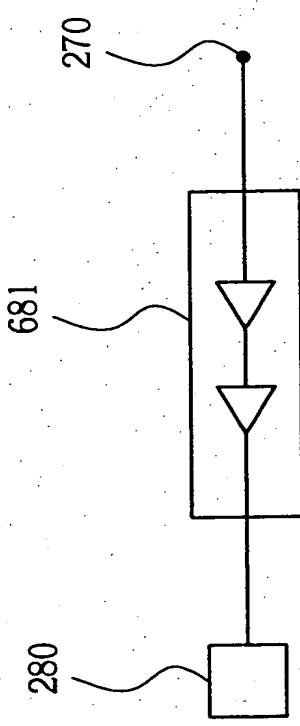
圖四

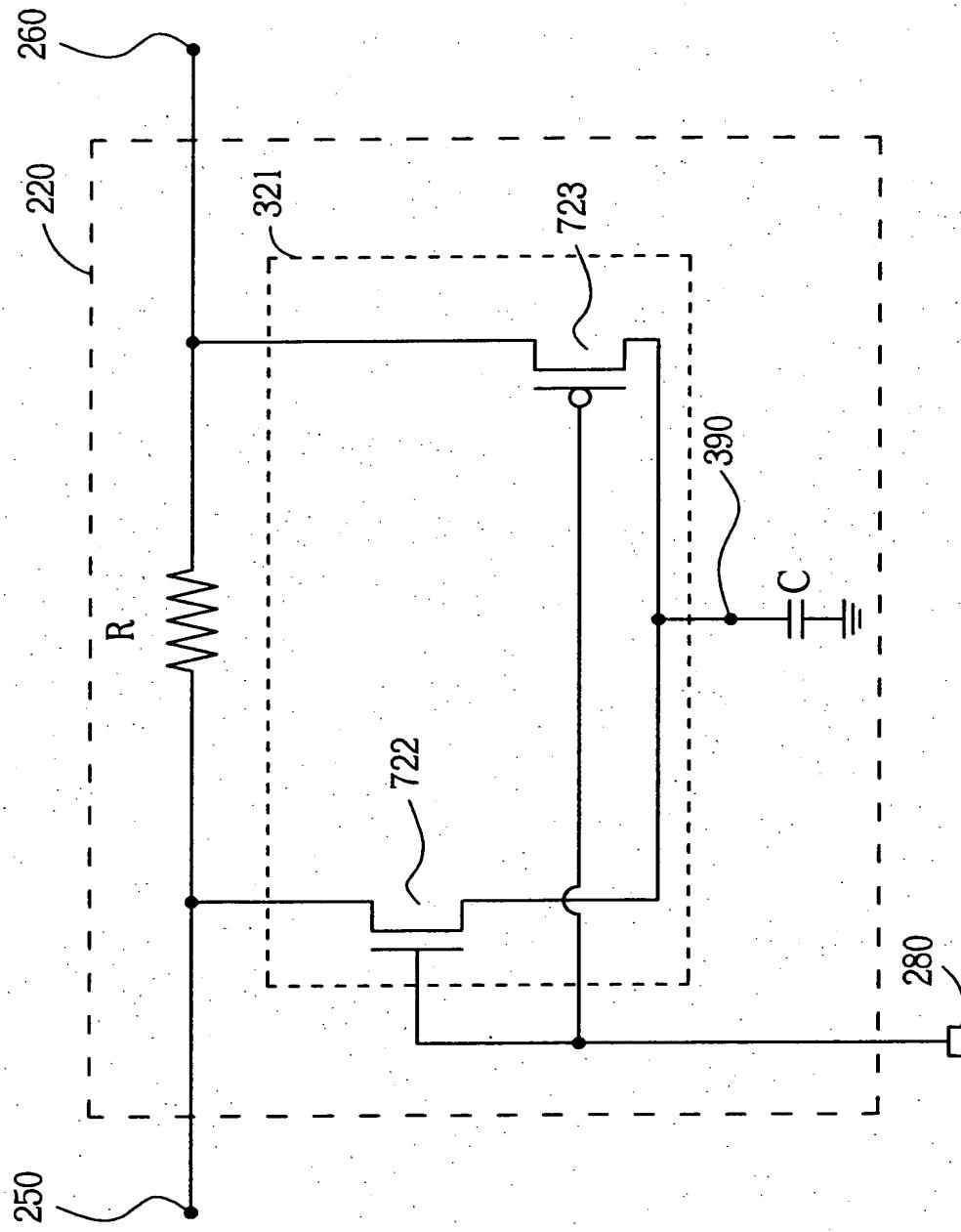


圖五



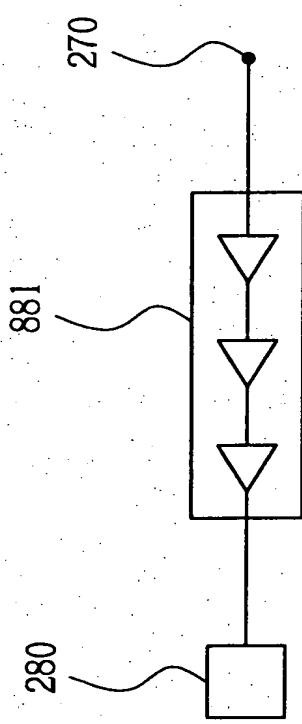
圖六



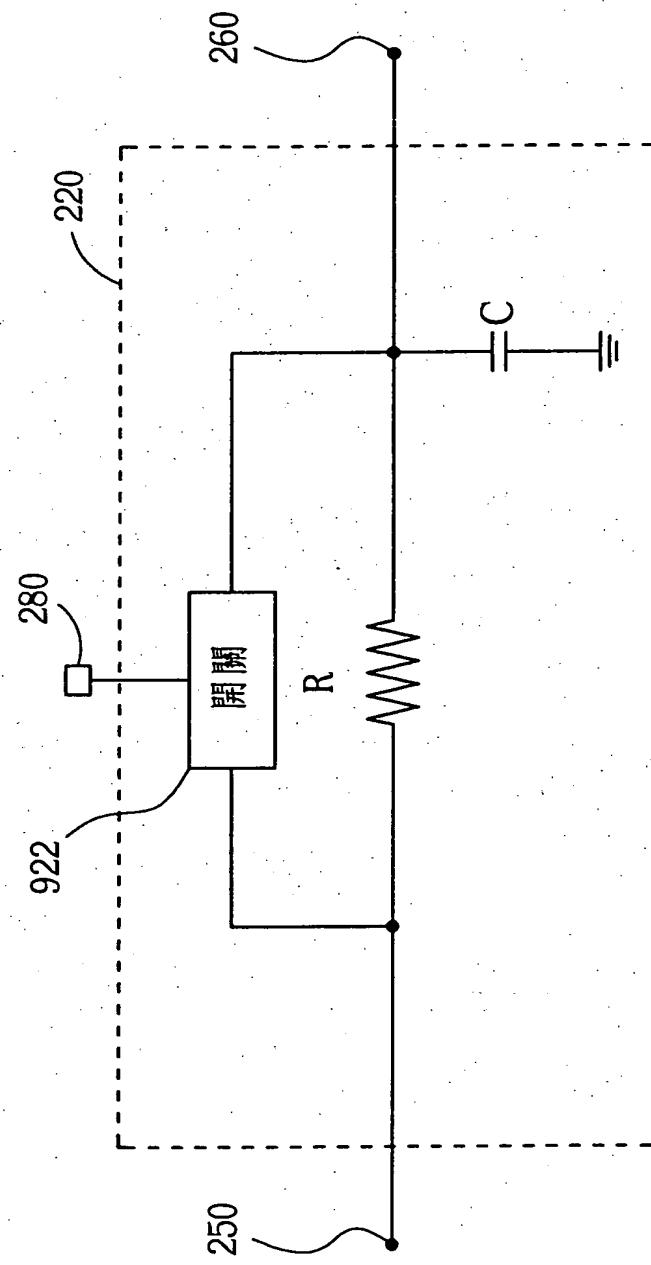


圖七

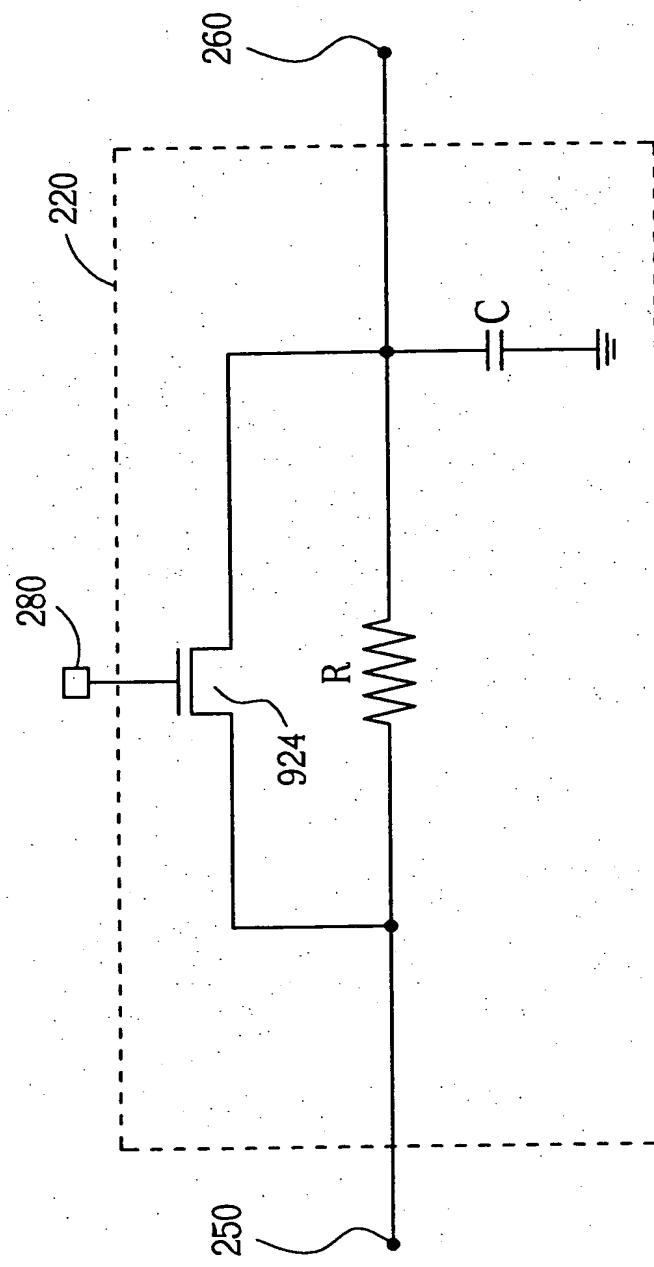
圖八



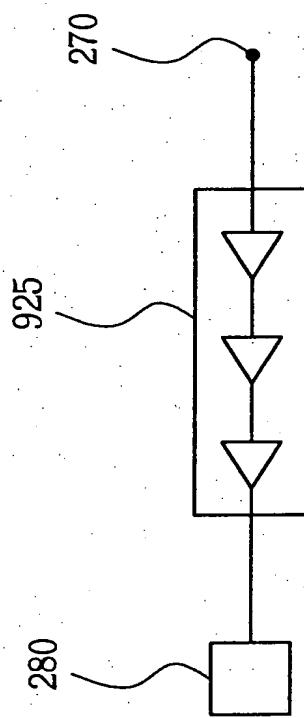
圖九

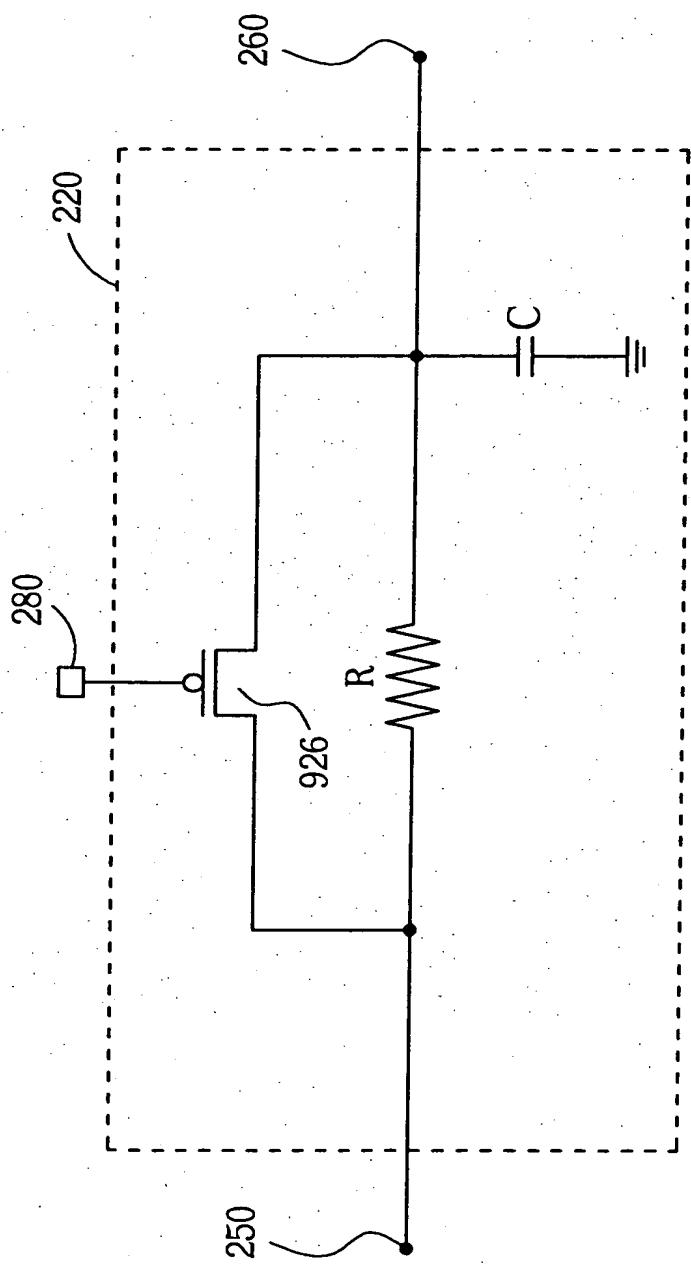


圖十



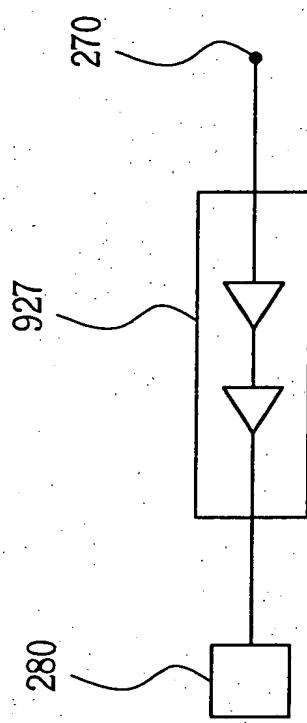
十一圖





二十一

圖十三



第 1/25 頁

第 1/25 頁

第 2/25 頁

第 2/25 頁

第 3/25 頁

第 4/25 頁

第 5/25 頁

第 6/25 頁

第 6/25 頁

第 7/25 頁

第 7/25 頁

第 8/25 頁

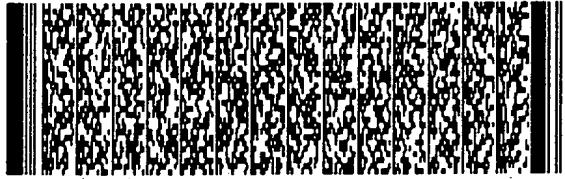
第 8/25 頁

第 9/25 頁

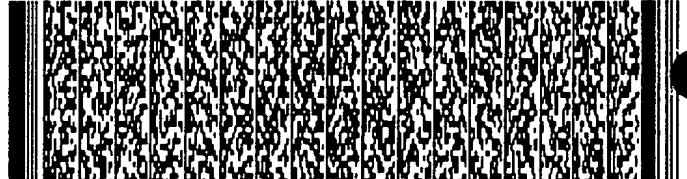
第 9/25 頁

第 10/25 頁

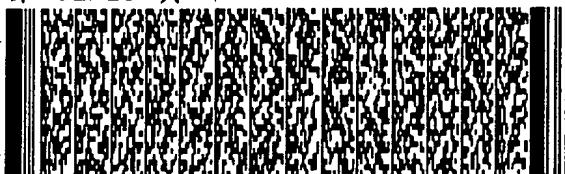
第 10/25 頁



第 11/25 頁



第 12/25 頁



第 12/25 頁



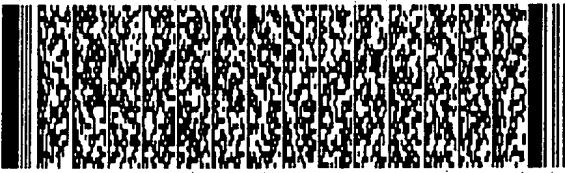
第 13/25 頁



第 13/25 頁



第 14/25 頁



第 14/25 頁



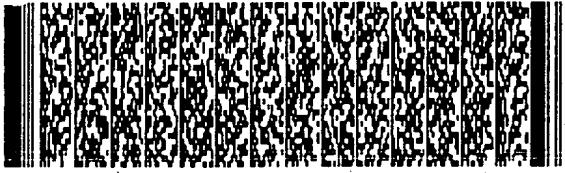
第 15/25 頁



第 15/25 頁



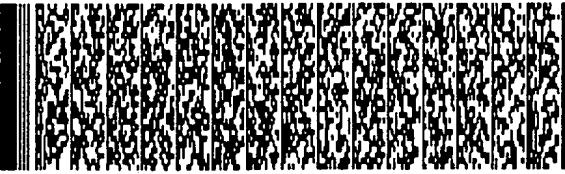
第 16/25 頁



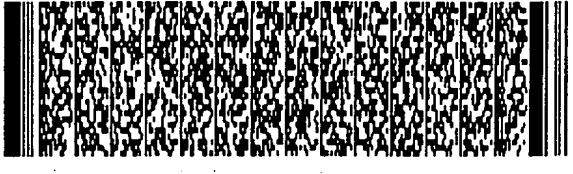
第 16/25 頁



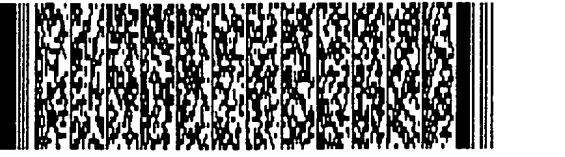
第 17/25 頁



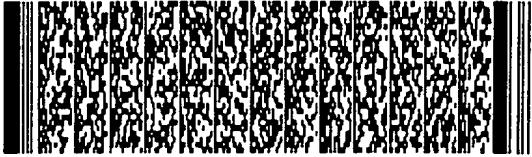
第 18/25 頁



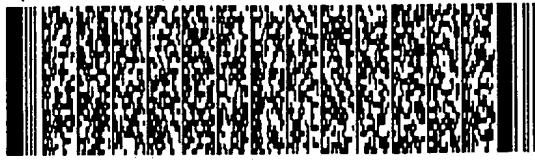
第 19/25 頁



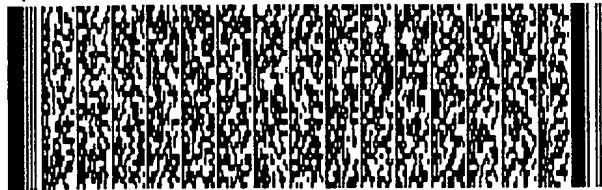
第 20/25 頁



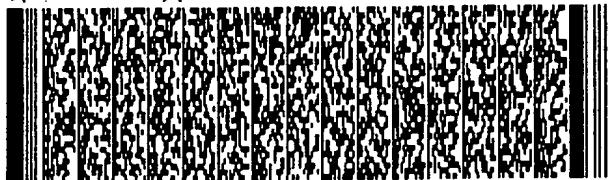
第 20/25 頁



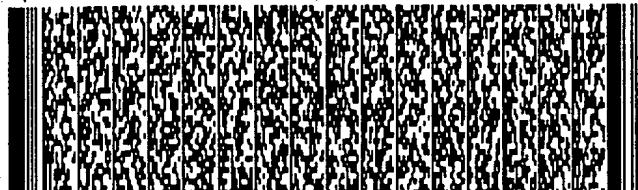
第 21/25 頁



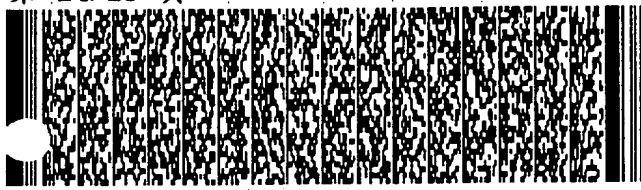
第 22/25 頁



第 23/25 頁



第 24/25 頁



第 25/25 頁

